

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Jun WAKASUGI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PROCESSOR SYSTEM, PROCESSOR AND ARITHMETIC PROCESSING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

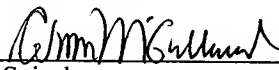
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-285740	September 30, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月30日

出 願 番 号
Application Number:

特願2002-285740

[ST.10/C]:

[JP2002-285740]

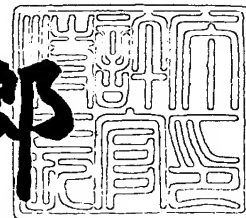
出 願 人
Applicant(s):

株式会社東芝

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3007472

【書類名】 特許願

【整理番号】 13739501

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 7/00

【発明の名称】 プロセッサシステム

【請求項の数】 7

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 若 杉 純

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目1番1号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

 【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プロセッサシステム

【特許請求の範囲】

【請求項 1】

第 1 のプログラムを格納する第 1 のプログラム記憶部と、
第 2 のプログラムを格納する第 2 のプログラム記憶部と、
前記第 1 及び第 2 のプログラムの実行アドレスを出力するプログラムカウンタと、
前記第 1 のプログラム中の第 1 のアドレスを記憶する第 1 のアドレス記憶部と、
前記第 2 のプログラム中の第 2 のアドレスを記憶する第 2 のアドレス記憶部と、
前記プログラムカウンタが前記第 1 のアドレスに一致したか否かを判断する比較部と、
前記比較部により一致したと判断されると、前記プログラムカウンタを前記第 2 のアドレスに変更するアドレス変更部と、
前記第 1 のアドレス記憶部に記憶される前記第 1 のアドレスと前記第 2 のアドレス記憶部に記憶される前記第 2 のアドレスとを更新するためのデータバスと、
を備えることを特徴とするプロセッサシステム。

【請求項 2】

前記第 1 及び第 2 のプログラム記憶部から読み出された命令をデコードした結果を前記データバスに供給する命令デコーダを備え、
前記第 1 のアドレス記憶部に記憶される前記第 1 のアドレスと前記第 2 のアドレス記憶部に記憶される前記第 2 のアドレスとは、前記命令デコーダの出力に基づいて更新されることを特徴とする請求項 1 に記載のプロセッサシステム。

【請求項 3】

前記第 1 のプログラムは、複数種類の前記第 1 のアドレスをそれぞれ前記第 1 のアドレス記憶部に記憶するための複数の命令と、複数種類の前記第 2 のアドレスをそれぞれ前記第 2 のアドレス記憶部に記憶するための複数の命令とを含み、

前記第 1 のアドレス記憶部は、前記第 1 のプログラムに従って、それぞれ異なるタイミングで複数種類の前記第 1 のアドレスを順次記憶し、

前記第 2 のアドレス記憶部は、前記第 1 のプログラムに従って、それぞれ異なるタイミングで複数種類の前記第 2 のアドレスを順次記憶することを特徴とする請求項 2 に記載のプロセッサシステム。

【請求項 4】

外部から供給された前記第 1 及び第 2 のアドレスを、前記データベースを介して前記第 1 及び第 2 のプログラム記憶部に記憶する制御を行うインタフェース部を備えることを特徴とする請求項 1 または 2 に記載のプロセッサシステム。

【請求項 5】

前記第 1 のプログラム記憶部は、ROM であり、

前記第 2 のプログラム記憶部は、書き換え可能なメモリであり、

前記第 2 のプログラムは、前記第 1 のプログラムの少なくとも一部を更新するためのプログラムであることを特徴とする請求項 1 及至 4 のいずれかに記載のプロセッサシステム。

【請求項 6】

前記第 2 のプログラムは、前記第 1 のプログラム中の任意箇所のデバックを行うためのデバックプログラムであり、

前記第 1 のアドレスは、前記第 1 のプログラム中のデバックを行う箇所の先頭アドレスであり、

前記第 2 のアドレスは、前記デバックプログラムの先頭アドレスであることを特徴とする請求項 1, 2, 3 及び 5 のいずれかに記載のプロセッサシステム。

【請求項 7】

外部から前記データベースを介して供給された前記第 2 のプログラム、前記第 1 のアドレス及び前記第 2 のアドレスを、それぞれ前記第 2 のプログラム記憶部、前記第 1 のアドレス記憶部及び前記第 2 のアドレス記憶部に記憶する制御を行うとともに、前記デバックプログラムの実行結果を外部に供給する制御を行うインタフェース部を備えることを特徴とする請求項 6 に記載のプロセッサシステム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、第 1 のプログラム記憶部に記憶された第 1 のプログラムの少なくとも一部を更新したり、デバックすることが可能なプロセッサシステムに関する。

【 0 0 0 2 】

【従来の技術】

ワンチップマイクロコンピュータ（以下、ワンチップマイコン）は、内部にマスク ROM を備えていることが多い。この種のマスク ROM には、製造時に予めマイクロコードが組み込まれているが、マスク ROM はデータの書き換えができないため、マイクロコードに誤りがあると、そのマイコン自体を交換しなければならず、保守性が悪く、故障時のコストがかかってしまう。

【 0 0 0 3 】

このような問題を解消するため、プログラム ROM 内のマイクロコードに誤りがあったときに、その誤りのある箇所だけを更新できるようにしたプロセッサシステムが実用化されている。

【 0 0 0 4 】

図 3 はこの種の従来のプロセッサシステムの概略構成を示すブロック図である。図 3 のプロセッサシステムは、プログラム ROM 1 と、インストラクションデコーダ 2 と、プログラム RAM 3 と、ROM アドレスレジスタ 4 と、プログラムカウンタ 5 と、強制分岐先 PC レジスタ 6 と、アドレス比較部 7 と、セレクタ 8 と、書き込み回路 1 2 とを備えている。

【 0 0 0 5 】

プログラム RAM 3 には、誤りを直した正しいマイクロコードが格納される。ROM アドレスレジスタ 4 は、プログラム ROM 1 に格納されているマイクロコード中の誤りのある箇所（アドレス）を記憶する。強制分岐先 PC レジスタ 6 は、プログラム RAM 3 中の実行すべきアドレスを記憶する。ROM アドレスレジスタ 4 と強制分岐先 PC レジスタ 6 には、書き込み回路 1 2 が各アドレスを記憶する。

【 0 0 0 6 】

アドレス比較部 7 は、プログラムカウンタ 5 が ROM アドレスレジスタ 4 に記憶されたアドレスに一致したか否かを判断する。セクタ 8 は、プログラムカウンタ 5 が ROM アドレスレジスタ 4 に記憶されたアドレスに一致すると、プログラムカウンタ 5 を強制分岐先 PC レジスタ 6 に記憶されているアドレスに置き換える。

【 0 0 0 7 】

例えば、プログラム ROM 1 に格納されているマイクロコードの特定箇所に誤りがあったとすると、プログラムカウンタ 5 がその特定箇所を指し示すときに、プログラムカウンタ 5 を強制分岐先 PC レジスタ 6 のアドレスに置換する。これにより、プログラム RAM 3 に格納されている正しいマイクロコードが実行されるようになる。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、マイクロコード中に複数の誤りがある場合は、誤りのある箇所ごとに、ROM アドレスレジスタ 4 と強制分岐先 PC レジスタ 6 を設けなければならず、回路規模が大きくなる。

【 0 0 0 9 】

また、図 3 のプロセッサシステムは、誤ったマイクロコードを正しいマイクロコードに置き換えるだけであり、プログラム ROM 1 中のマイクロコードをデバックする機能は備えていない。このため、マイクロコードのデバックを行うには、デバック専用回路を追加しなければならず、その分回路規模が大きくなってしまふ。

【 0 0 1 0 】

本発明は、このような点に鑑みてなされたものであり、その目的は、回路規模を大きくすることなく、プログラム中の複数箇所の誤りを修正できるようにしたプロセッサシステムを提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、第 1 のプログラムを格納する第 1

のプログラム記憶部と、第2のプログラムを格納する第2のプログラム記憶部と、前記第1及び第2のプログラムの実行アドレスを出力するプログラムカウンタと、前記第1のプログラム中の第1のアドレスを記憶する第1のアドレス記憶部と、前記第2のプログラム中の第2のアドレスを記憶する第2のアドレス記憶部と、前記プログラムカウンタが前記第1のアドレスに一致したか否かを判断する比較部と、前記比較部により一致したと判断されると、前記プログラムカウンタを前記第2のアドレスに変更するアドレス変更部と、前記第1のアドレス記憶部に記憶される前記第1のアドレスと前記第2のアドレス記憶部に記憶される前記第2のアドレスとを更新するためのデータバスと、を備える。

【 0 0 1 2 】

本発明では、第1及び第2のアドレス記憶部に、第1及び第2のアドレスを繰り返し記憶できるようにしたため、第1のプログラムに複数の誤りがあっても、回路規模を大きくすることなく、更新プログラムを実行でき、プログラムの保守性が向上する。

【 0 0 1 3 】

【発明の実施の形態】

以下、本発明に係るプロセッサシステムについて、図面を参照しながら具体的に説明する。

【 0 0 1 4 】

図1は本発明に係るプロセッサシステムの一実施形態のブロック図である。図1のプロセッサシステムは、マイクロコード本体を格納するプログラムROM1と、マイクロコードに含まれる各命令をデコードするインストラクションデコーダ2と、マイクロコード中の誤り箇所を修正するための更新されたマイクロコードを格納するプログラムRAM3と、プログラムROM1に格納されたマイクロコード中の誤り箇所を示すアドレスを記憶するROMアドレスレジスタ4と、マイクロコードの実行アドレスを出力するプログラムカウンタ5と、マイクロコード中に誤りがあるときの分岐先アドレスを記憶する強制分岐先PCレジスタ6と、ROMアドレスレジスタ4に記憶されているアドレスとプログラムカウンタ5とが一致するか否かを検出するアドレス比較部7と、両アドレスが一致したとき

にプログラムカウンタ 5 を分岐先アドレスに変更するセレクタ 8 と、外部との間でデータの送受を行うマイコン I F 部 9（外部 I F 部）とを備えている。

【 0 0 1 5 】

図 1 のプロセッサシステムは、インストラクションデコーダ 2、ROM アドレスレジスタ 4、強制分岐先 PC レジスタ 6 及びマイコン I F 部 9 が共通のデータバス 1 0 に接続されている点で、図 3 のプロセッサシステムと異なっている。

【 0 0 1 6 】

以下、マイクロコードの更新処理の処理手順について説明する。なお、以下の説明では、プログラム ROM 1 中のマイクロコードに複数の誤りがあるものとする。

【 0 0 1 7 】

（1）まず、マイクロコード中の時間的に最初の誤り箇所を示す ROM アドレスを、外部からマイコン I F 部 9 とデータバス 1 0 を経由して ROM アドレスレジスタ 4 に記憶する。同様に、更新されたマイクロコードを記憶するプログラム RAM 3 のアドレスを、外部からマイコン I F 部 9 とデータバス 1 0 を経由して強制分岐先 PC レジスタ 6 に記憶する。

【 0 0 1 8 】

（2）その後、プログラムカウンタ 5 は、カウントアップ動作を開始し、プログラムカウンタ 5 をアドレスとしてプログラム ROM 1 から命令を読み出して、インストラクションデコーダ 2 でデコードし、命令を実行する。

【 0 0 1 9 】

（3）それに並行して、アドレス比較部 7 は、プログラムカウンタ 5 が ROM アドレスレジスタ 4 に記憶されている ROM アドレスと一致するか否かを検出し、一致しなければ、上記（2）及び（3）の処理を繰り返す。

【 0 0 2 0 】

（4）上記の（3）で一致が検出されると、セレクタ 8 は、プログラムカウンタ 5 を強制分岐先 PC レジスタ 6 に記憶されている強制分岐先アドレスに変更する。

【 0 0 2 1 】

(5) 強制分岐先アドレスは、プログラムRAM3中の更新されたマイクロコードを指し示しているため、以後は、プログラムROM1中の誤ったマイクロコードの代わりに、プログラムRAM3中の更新されたマイクロコードが実行される。

【0022】

(6) また、ROMアドレスレジスタ4には、プログラムROM1中のマイクロコードの次の誤り箇所を示すアドレスが記憶される。同様に、強制分岐先PCレジスタ6には、プログラムRAM3中の更新されたマイクロコードのアドレスが記憶される。

【0023】

(7) 以後、上記の(2)～(6)の処理が繰り返される。

【0024】

上記の(1)や(6)でROMアドレスレジスタ4や強制分岐先PCレジスタ6にアドレスを記憶する方法として、上述したように外部から供給されたアドレスをマイコンIFとデータバス10を経由して各レジスタに記憶する方法と、プログラムRAM3中のプログラムに従って各レジスタに記憶する方法がある。

【0025】

後者の場合、例えば、プログラムRAM3中のプログラム中に、ROMアドレスレジスタ4や強制分岐先PCレジスタ6のアドレスを記憶する命令を記述しておく。

【0026】

図2はこの種の命令列の一例を示す図である。図2の例では、まず、プログラムカウンタ5が000のときに、ROMアドレスレジスタ4に100番地のアドレスを記憶する。プログラムカウンタ5が001になると、強制分岐先PCレジスタ6に10番地のアドレスを記憶する。プログラムカウンタ5が002になると、強制分岐を許可する。プログラムカウンタ5が003になると、80番地に分岐して、更新されたプログラムを実行する。

【0027】

その後、プログラムカウンタ5が010になると、次の誤り箇所をROMレジ

スタに記憶し、011で強制分岐先PCレジスタ6を記憶する。以降、プログラムカウンタ5が030になった場合も、同様の処理が行われる。

【0028】

このように、本実施形態では、ROMアドレスレジスタ4と強制分岐先PCレジスタ6に、データバス10を経由して複数種類のアドレスを繰返し記憶できるようにしたため、プログラムROM1中のマイクロコードに複数の誤りがあっても、回路規模を増大することなく、各誤りに対応する更新マイクロコードを実行できる。このため、プログラムの保守性がよくなる。

【0029】

図1のプロセッサシステムは、プログラムROM1のデバックにも利用できる。この場合、図1の点線で示すように、マイコンIFに接続されたホストコンピュータからの指示によりデバックを行う。デバックには、プログラムROM1内の指定されたアドレス位置だけブレークさせてデバックする手法と、プログラムROM1内のプログラムを1ステップずつ実行する手法の2種類がある。

【0030】

前者の場合、以下の手順でデバックを行う。

【0031】

(1) まず、ホストコンピュータからマイコンIFを介してプログラムRAM3に、デバックプログラムを格納する。

【0032】

(2) 次に、ホストコンピュータからマイコンIFを介してROMアドレスレジスタ4に、プログラムROM1内のデバックを行う先頭アドレスを記憶する。同様に、強制分岐先PCレジスタ6に、デバック時の分岐先アドレス（この場合、プログラムRAM3内のデバックプログラムの先頭アドレス）を記憶する。

【0033】

(3) 次に、プログラムROM1を開始する。

【0034】

(4) プログラムカウンタ5がROMアドレスレジスタ4の値に一致すると、強制分岐先PCレジスタ6の値に基づいて、プログラムRAM3内のデバックプ

プログラムが実行される。

【 0 0 3 5 】

(5) このデバックプログラムでは、例えば、任意のメモリ及びレジスタの値をマイコン I F を介してホストコンピュータに伝送するという処理を実行する。

【 0 0 3 6 】

(6) これにより、プログラム R O M 1 内の任意のアドレス範囲についてデバックを行うことができる。また、デバックプログラムの中で、ROM アドレスレジスタ 4 と強制分岐先 P C レジスタ 6 に新たな値を記憶することもでき、プログラム R O M 1 内の複数箇所について連続的にデバックを行うことも可能である。

【 0 0 3 7 】

(7) デバックプログラムの中で間接アドレッシングまたはスタックを利用したリターンを行って、元のプログラム R O M 1 の処理に戻る。

【 0 0 3 8 】

(8) 以降、(3) ～ (7) の処理を繰り返す。

【 0 0 3 9 】

プログラム R O M 1 内のプログラムを 1 ステップずつ実行する場合は、(1) ～ (6) の手順は同じである。

【 0 0 4 0 】

(7) 次に、デバックプログラムの中で R O M アドレスレジスタ 4 を + 1 する。

【 0 0 4 1 】

(8) 次に、(3) ～ (7) の処理を繰り返す。

【 0 0 4 2 】

このように、本実施形態によれば、デバック用の専用のハードウェアを設けなくても、プログラム R O M 1 内のプログラムのデバックも行うことができる。このため、プログラムの開発が容易になる。

【 0 0 4 3 】

【発明の効果】

以上詳細に説明したように、本発明によれば、第 1 及び第 2 のアドレス記憶部

に記憶されている第 1 及び第 2 のアドレスを、データバスを介して更新できるため、第 1 のプログラムに複数箇所の誤りがあっても、回路規模を大きくすることなく、各誤りに対応した複数の更新プログラムを実行できる。したがって、プログラムの保守性がよくなる。

【図面の簡単な説明】

【図 1】

本発明に係るプロセッサシステムの一実施形態のブロック図。

【図 2】

プログラム R A M に格納されるプログラムの一例を示す図。

【図 3】

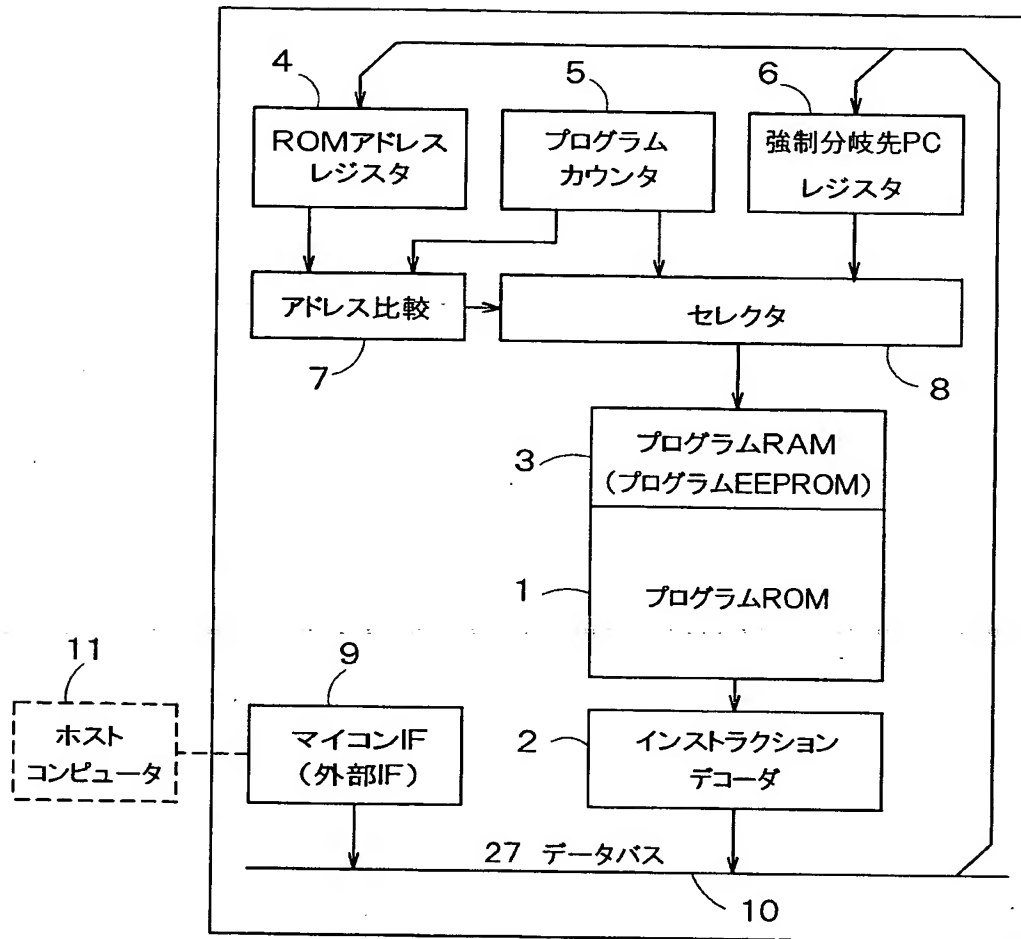
従来のプロセッサシステムの概略構成を示すブロック図。

【符号の説明】

- 1 プログラム R O M
- 2 インストラクションデコーダ
- 3 プログラム R A M
- 4 R O M アドレスレジスタ
- 5 プログラムカウンタ
- 6 強制分岐先 P C レジスタ
- 7 アドレス比較部
- 8 セレクタ
- 9 マイコン I F 部
- 1 0 データバス
- 1 1 ホストコンピュータ

【書類名】 図面

【図1】



【図 2】

000 move ROM_ADR, #h100

001 move 分岐先 reg, #h010

002 強制分岐を Enable にする

003 JUMP h080

… (中略) …

010 move ROM_ADR, #h200

011 move 分岐先 reg, #h110

012 JUMP h120

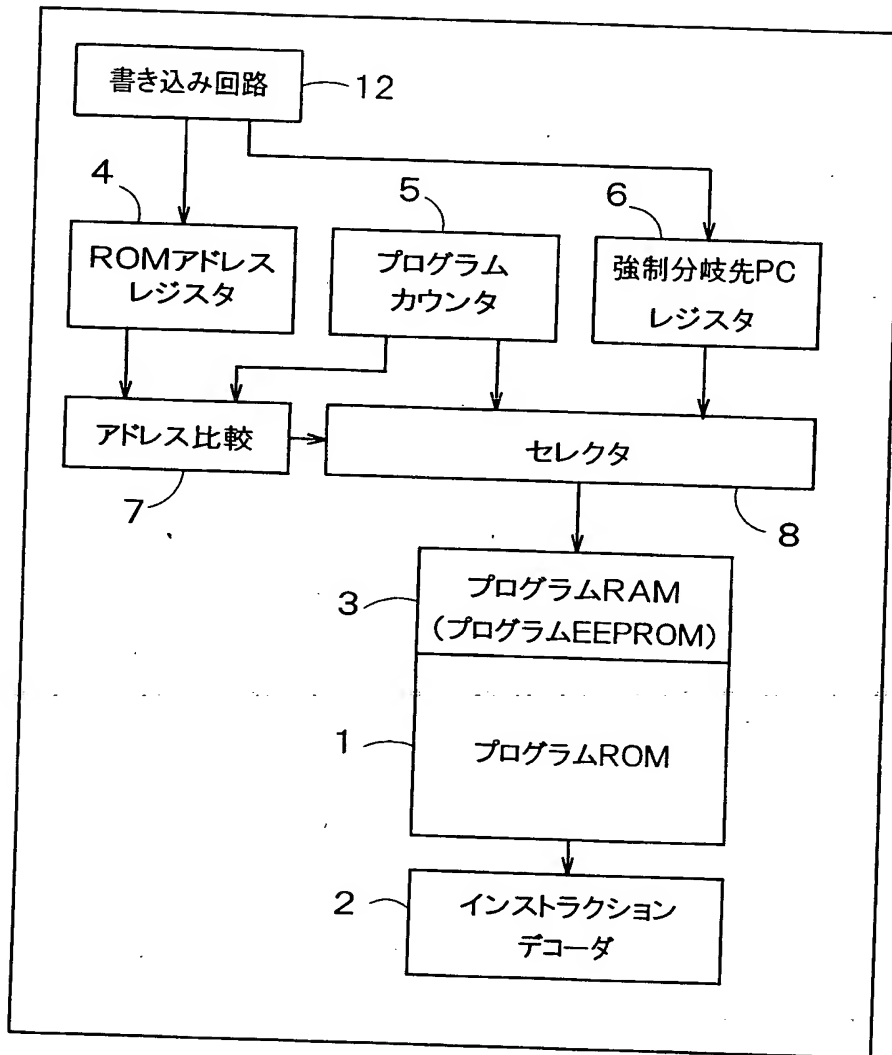
… (中略) …

030 move ROM_ADR, #h300

031 move 分岐先 reg, #h210

033 JUMP h140

【図3】



【書類名】 要約書

【要約】

【課題】 回路規模を大きくすることなく、プログラム中の複数箇所の誤りを修正できるようにする。

【解決手段】 プロセッサシステムは、プログラムROM1と、プログラムRAM3と、ROMアドレスレジスタ4と、プログラムカウンタ5と、強制分岐先PCレジスタ6と、アドレス比較部7と、セレクタ8と、マイコンIF部9とを備えている。ROMアドレスレジスタ4と強制分岐先PCレジスタ6に、データバス10を経由して複数種類のアドレスを繰返し記憶できるようにしたため、プログラムROM1中のマイクロコードに複数の誤りがあっても、回路規模を増大することなく、各誤りに対応する更新マイクロコードを実行できる。このため、プログラムの保守性がよくなる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝